

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000101638 A

(43) Date of publication of application: 07.04.00

(51) Int. Cl

H04L 12/56

(21) Application number: 11252182

(71) Applicant: INTERNATL BUSINESS MACH CORP <IBM>

(22) Date of filing: 06.09.99

(72) Inventor: CLAUBERG ROLF

(30) Priority: 10.09.98 EP 98 98117128

(54) PROCESSOR AND METHOD FOR PACKET PROCESSING AND PACKET EXCHANGE ADAPTER

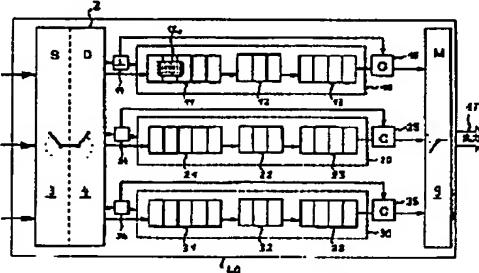
substreams or virtual process paths are needed.

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a new concept for a variable-length packet process at a very high data transmission speed by providing a packet processor with a distributor which distributes packets to several parallel identical process paths, supplying the packets to the respective process paths, and enabling the packet information of only one packet to be processed for the packet at an arbitrary moment.

SOLUTION: A packet stream of variable-length packets which arrive and are received and arrayed is supplied to parallel process paths of the packet processor 40, and demultiplexed into N substreams of variable-length packets or virtual process paths. Demultiplexing is carried out without altering the packets contents. The number N depends upon the data transmission speed or data throughput, the number of priority levels, the number of cycles that the following processes require, the length of the packets, and other parameters. As the data throughput is higher and higher, more and more



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-101638

(P2000-101638A)

(43)公開日 平成12年4月7日(2000.4.7)

(51)Int.Cl.<sup>7</sup>

H 0 4 L 12/56

識別記号

F I

マークト<sup>®</sup>(参考)

H 0 4 L 11/20

1 0 2 Z

審査請求 有 請求項の数21 OL (全 16 頁)

(21)出願番号 特願平11-252182

(22)出願日 平成11年9月6日(1999.9.6)

(31)優先権主張番号 9 8 1 1 7 1 2 8. 3

(32)優先日 平成10年9月10日(1998.9.10)

(33)優先権主張国 ヨーロッパ特許庁 (E P)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレイション

INTERNATIONAL BUSINESSES MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)

(72)発明者 ロルフ・クローバーグ

スイス、シ・エイチ-8136 ガティコン、ホフヴィエセンストラッセ 25

(74)代理人 100086243

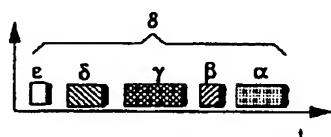
弁理士 坂口 博 (外1名)

(54)【発明の名称】 パケット処理装置、方法及びパケット交換アダプタ

(57)【要約】

【課題】 超高速データ伝送速度における可変長パケット処理のための新たな概念を提供することである。

【解決手段】 パケット・データ及びパケット情報を含む可変長パケットの処理のためのパケット処理装置及びパケット交換アダプタが、パケットを幾つかの並列で同一の処理経路に分配するディストリビュータを含む。各処理経路は、パケットを供給され、任意の瞬間に、1つのパケットだけのためにそのパケット情報を処理可能で、少なくとも1つの処理ユニットを含む。供給が中断可能であって、異なるパケットは別の処理経路に供給される。更に、受信可変長パケットを複数の並列で同一の処理経路に分配するパケット処理方法が開示される。



## 【特許請求の範囲】

【請求項1】パケット・データ及びパケット情報を含む受信可変長パケットの入力パケット・ストリームを処理するパケット処理装置であって、前記パケットを複数の並列で同一の処理経路に分配するディストリビュータを含み、前記処理経路の各々が、前記パケットを供給され、任意の瞬間に、1つの前記パケットだけのためにその前記パケット情報を処理可能な、少なくとも1つの処理ユニットを含み、前記供給が中断可能であって、複数のパケット部分を生じることにより、異なる前記パケットを別の前記処理経路に供給する、パケット処理装置。

【請求項2】ある中断パケットの前記複数のパケット部分が、同一の前記処理経路内で処理される、請求項1記載の装置。

【請求項3】前記複数のパケット部分を収集し、それを再組み立てるコレクタを含み、前記コレクタが前記パケット部分のためのバッファを有する、請求項1または請求項2記載の装置。

【請求項4】各中断パケットに対して、当該パケットが中断されたことを知らせる情報データを生成する、請求項1乃至請求項3のいずれかに記載の装置。

【請求項5】前記処理ユニット内での処理が、所定のクロックにより実行され、2つの統一して処理される前記パケット間の期間が、前記クロックのクロック・サイクル期間の整数倍である、請求項1乃至請求項4のいずれかに記載の装置。

【請求項6】前記受信パケットをそれらの優先順位に従い、優先キュー内に整列するソータを含む、請求項1乃至請求項5のいずれかに記載の装置。

【請求項7】前記優先キューから前記パケットを選択するセレクタを含む、請求項6記載の装置。

【請求項8】パケット・データ及びパケット情報を含み、順次入力パケット・ストリームとして受信される可変長パケットの処理のためのパケット交換アダプタであって、前記パケットを複数の並列で同一の処理経路に分配するディストリビュータであって、前記処理経路の各々が、前記パケットを供給され、任意の瞬間に、1つの前記パケットだけのためにその前記パケット情報を処理可能な、少なくとも1つの処理ユニットを含み、前記供給が中断可能であって、複数のパケット部分を生じることにより、異なる前記パケットを別の前記処理経路に供給する、ディストリビュータと、

各中断パケットに対して、当該パケットが中断されたことを知らせる情報データを生成することにより、前記パケットが複数のパケット部分に中断されたことを知らせるシグナライザと、

各処理経路に対して、前記複数のパケット部分を収集し、それらを再組み立てるコレクタとを含む、パッケ

ト交換アダプタ。

【請求項9】前記パケットのフィールドを、予め定義されたルックアップ・テーブルのフィールドと比較するために使用される、接続ラベル・ルックアップ・ユニットを含み、これらが合致する場合、前記ルックアップ・テーブルから対応する内容が前記パケットに追加され、別のユニットに前記パケットをどのように処理すべきかを知らせる、請求項8記載のアダプタ。

【請求項10】1乃至複数ビット・エラーのために前記パケットのパケット・ヘッダを分析し、前記エラーを訂正する、ヘッダ・エラー訂正ユニットを含む、請求項8乃至請求項9のいずれかに記載のアダプタ。

【請求項11】前記パケットのストリームから少なくとも1つの追加パケットを抽出、または挿入する、オペレーション、管理及び保守用のパケット処理ユニットを含む、請求項8乃至請求項10のいずれかに記載のアダプタ。

【請求項12】接続のために転送される前記パケットの数、及び発生する無効パケットの数をカウントするパケット・アカウンティング・ユニットを含む、請求項8乃至請求項11のいずれかに記載のアダプタ。

【請求項13】パケット・ピーク・レート及び媒体レートを制御するパケット・ポリシ・ユニットを含む、請求項8乃至請求項12のいずれかに記載のアダプタ。

【請求項14】各パケットに対して、交換機にそれぞれの前記パケットをどこに転送すべきかを伝える交換機特定のヘッダを追加する、交換機ルーティング・ヘッダ挿入ユニットを含む、請求項8乃至請求項13のいずれかに記載のアダプタ。

【請求項15】請求項14記載のパケット交換アダプタ及び前記交換機を含む、パケット交換ユニット。

【請求項16】前記交換機の出力ポートに配置されるパケット交換ユニットであって、前記交換機特定のヘッダを除去または置換するヘッダ更新ユニットと、接続のために転送される前記パケットの数、及び発生する無効パケットの数をカウントするパケット・アカウンティング・ユニットと、

トライフィック許可の偏差を訂正するトライフィック形成ユニットと、

別のパケット処理のために、前記パケットを調停する回線インターフェース・ハンドラとを含む、パケット交換ユニット。

【請求項17】パケット・データ及びパケット情報を含む受信可変長パケットを、複数の並列で同一の処理経路に分配するパケット処理方法であって、前記処理経路の各々が、任意の瞬間に、1つの前記パケットだけのためにその前記パケット情報を処理可能な、少なくとも1つの処理ユニットを含み、第1の前記パケットが続く第2のパケットよりも低い優先順位を有する場合、前記第1

のパケットの供給を中断し、前記第2のパケットを別の前記処理経路に供給する、パケット処理方法。

【請求項18】前記受信パケットがそれらの優先順位に従い、優先キュー内に整列される、請求項17記載の方法。

【請求項19】ある中断パケットの複数のパケット部分が、同一の前記処理経路内で処理される、請求項17または請求項18記載の方法。

【請求項20】各中断パケットに対して、当該パケットが中断されたことを知らせる情報データが生成される、請求項17乃至請求項19のいずれかに記載の方法。

【請求項21】前記中断パケットの前記パケット部分が収集され、再組み立てされる、請求項17乃至請求項20のいずれかに記載の方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は例えばパケット処理ネットワークなど、情報が可変長パケット・ストリームにより伝送されるシステムに関して、これは超高速データ伝送速度におけるパケットのオンザフライ式処理を可能にする。

##### 【0002】

【従来の技術】通信ネットワークや記憶システムなどのパケット処理システムが、益々重要となっている。この種のパケット・ベースのシステムの利点は、各々の及び任意のパケットが自律的であって、例えばパケットのヘッダにより伝送される情報だけを使用することにより、ネットワークを介して経路指定されることである。非同期転送モード（以下ATMと記す）・データ伝送ネットワークは、公知のパケット処理システムであり、そこでは単一の処理パケットが固定長を有し、それはセルと呼ばれる。このATM技術は高速データ伝送速度を可能にし、多くのタイプのトラフィックをサポートする。それらには、典型的なマルチメディア環境において遭遇する幾つかのタイプを挙げただけでも、データ、ファクシミリ、音声、ビデオ及びイメージなどが含まれる。インターネットや、テレビ会議、テレビ電話医療、リモート学習、HDTV、リアルタイム共同制作などの関連オンライン技術の出現により、一層高速のデータ速度を扱わねばならない状況である。従って、純粋なATMセルのための交換システムから、ATMセルに加え、可変長IP（インターネット・プロトコル）パケットをサポートするシステムへの変更に注目が注がれている。

【0003】本願は、本願の出願人に権利譲渡された1996年2月6日付けのWO97/29613、"Parallel on-the-fly Processing of Fixed Length Cells"に関連する。

【0004】任意の種類のパケット処理システムのための典型的な装置には、ハブ、ルータ、サーバ、交換機（例えば接続目的に使用される）や、コンピュータや他

の装置（プリンタ、プロッタ、スキャナ、ディスク・ドライブ、ファックス・マシン、ネットワーク探知器（sniffer）など）を、パケット処理システムにリンクするアダプタ・カードなどが含まれる。こうしたパケット処理システムにおいて、パケットがより高速に伝送されるようになると、パケット処理がより複雑且つ高価となる。

【0005】一部のパケット処理システムは、既に可能性の限界に達したか、もしくは直に達するであろうデータ伝送速度に達している。この問題を回避または解決する新たなアプローチが求められている。ギガビット/秒の範囲で動作する一部のネットワークは、新たな解決策が必要とされる段階に達している。

##### 【0006】

【発明が解決しようとする課題】従って、本発明の目的は、超高速データ伝送速度における可変長パケット処理のための新たな概念を提供することである。

【0007】本発明の別の目的は、可変長パケットの超高速オンザフライ式処理を可能にする装置及び方法を提供することである。

【0008】更に本発明の別の目的は、こうしたアプローチをパケット処理システムに適用することである。

【0009】更に本発明の別の目的は、サービス品質を保持する、可変長パケットのオンザフライ式処理を保証することである。

##### 【0010】

【課題を解決するための手段】本発明は、受信可変長パケットの入力パケット・ストリームを処理するパケット処理装置を提供する。可変長パケットは以下では単にパケットと呼ばれ、これはパケット・データ及びパケット情報を含む。パケット・データはペイロードと呼ばれ、パケット情報（例えば長さ、パケット寿命、ヘッダ・チェックサム、アドレスなど）は、通常パケットのヘッダ内に提供される。フレーム・チェックサムはFCSとも呼ばれ、IP（インターネット・プロトコル）パケットの終りに提供される。パケット処理装置は、パケットを幾つかの並列で同一の処理経路に分配するディストリビュータを含み、各処理経路は、パケットを供給され、任意の瞬間に、1つのパケットだけのためにそのパケット情報を処理可能な、少なくとも1つの処理ユニットを含む。このことは、パケット情報を有する1つのパケットだけが、或いはパケットがパケット部分に中断された場合には、パケット情報を有する1つのパケット部分だけが、ある処理ユニット内に処理のために存在できることを意味する。パケット情報を有さないパケット・データまたはパケット部分は、処理ユニットによりそれらをシフトすることにより処理される。

【0011】受信パケットは異なる長さ及び優先順位を有し得る。更に、クロック・サイクルに関して、処理経路内の特定のユニットにつき、そのアクションを実行す

るために必要とされるクロック・サイクルの数が、パケットの長さよりも大きいことも有り得る。従って、この特定のユニットがまだ前のパケットにより占有されているとき、次のパケットがこのユニットに到来し得る。そのため、異なるパケットを別の並列で同一の処理経路に供給するために、供給(feeding)が中断可能である。より高い優先順位の短いパケットを供給するために、長いパケットの供給を中断すること、または例えば良好に均衡の取れたデータ・スループットのために、長いパケットを交互に中断することが可能である。必要に応じて、長いパケットが幾つかのパケット部分に分割される。本発明の利点は、サービス品質を保持する可変長パケットのオンザフライ式処理を保証する、すなわち、可変長パケットの処理の間に最小遅延が発生し、重要なパケットが高速に処理される一方、可変長パケットを有するリアルタイム・トラフィックが達成されることである。

【0012】1つの中断パケットの幾つかのパケット部分が、同一の処理経路内で対応するユニットにより伝送され、処理される。それにより、より多くのパケットが同一の時刻に処理され得ることとなり、各それぞれの処理経路の末端において、パケット部分を収集し、再組み立てすることが容易になる。更に、パケット部分がどの処理経路内に、及びどの処理ユニット内に存在するかが知れており、他の処理経路内でパケット部分を探す必要はない。

【0013】各処理経路に対して、幾つかのパケット部分を収集するコレクタが、各処理経路の末端で使用される。それによりパケットが多重化されたり、エラーの存在が検出される前に、パケット部分が収集され、元のパケットに再組み立てされる利点がある。コレクタは好適にはバッファである。全ての処理経路からパケット部分を収集し、再組み立てするために、1つのコレクタだけが適用される場合、チップ面積が節約され、コレクタが結合され、資源が共用され、収集及び再組み立てのために、1つのユニットだけが必要とされる利点がある。

【0014】各中断パケットに対して、パケットが中断されたことを示す追加ビットの情報データが生成されるとき、パケット部分に分割されたあらゆる中断パケットが、各処理ユニットにより認識され得る。それにより、例えばペイロードがそれぞれの処理ユニットによりシフトされて、高速に処理され、続くパケットまたはパケット部分を待機する必要がない。情報データを用いることによる、処理経路の末端におけるパケット部分の収集は、パケット部分を元のパケットに再編成することを可能にする。追加ビットは後述のように、容易に実現され得る。

【0015】処理ユニットにおける処理が所定のクロックにより実行され、2つの続いて処理されるパケット間の期間が、そのクロック期間の整数倍のとき、処理が同

期して実行される利点がある。更に、クロック・サイクルが決定され、パケットの処理が事前に計算され得る。

【0016】受信パケットをそれらの優先順位に従い、優先キューに整列するソータが使用される場合、順次パケット・ストリームが幾つかのサブストリームに分割され、整列されたパケットの優先順位に従い、それらのパケットへの高速アクセスが達成される利点がある。

【0017】優先キューからパケットを選択するセレクタが使用される場合、続く処理のために、パケットの優先順位に従い選択が達成され、パケットのそれぞれの選択が加速モードで実行される利点がある。

【0018】パケットを幾つかの並列で同一の処理経路に分配するディストリビュータが使用される場合、非占有処理ユニットまたは処理経路内の処理に従い、パケットが分配され、それにより並列処理が可能となり、処理システム全体が高速化する利点がある。

【0019】更に、可変長パケットの処理のためのパケット交換アダプタが開示される。パケット・データ及びパケット情報を含む可変長パケットは、順次ストリームとして受信される。パケット交換アダプタは、パケットを幾つかの並列で同一の処理経路に分配するディストリビュータを含み、各処理経路は、パケットを供給され、任意の瞬間に、1つのパケットだけのためにそのパケット情報を処理可能な、少なくとも1つの処理ユニットを含む。異なるパケットを別の処理経路に供給するために、供給が中断可能である。このことは長いパケットの処理のために、従ってリアルタイム・トラフィックのために有利である。なぜなら、高優先順位のパケットが到来し、別の処理経路で即時処理されるとき、長いパケ

30 ットまたは低優先順位のパケットが、パケット部分に分割されるからである。パケット交換アダプタは更に、パケットが幾つかのパケット部分に中断されたことを知らせるシグナライザを含み、それにより各中断パケットに対して、情報データが生成される。更に、アダプタは幾つかのパケット部分を収集し、それらを再組み立てするコレクタを含む。

【0020】パケットのフィールドを、予め定義されたルックアップ・テーブルのフィールドと比較するために、接続ラベル・ルックアップ・ユニットが使用され、これらが合致する場合、ルックアップ・テーブルから対応する内容がパケットに追加され、それにより別のユニットは、パケットをどのように処理すべきかを知られ、認識する利点を有する。

【0021】1乃至複数ビット・エラーのために、パケットのパケット・ヘッダを分析するヘッダ・エラー訂正ユニットが適用される場合、エラーが認識されて訂正され、パケットが正しく処理される利点がある。

【0022】パケットのストリームから、少なくとも1つの追加のパケットを抽出または挿入するために、オペレーション、管理及び保守用のパケット処理ユニットが

適用される場合、このユニットによりパケットのストリームが影響され、制御される利点がある。すなわち、リンク状態及びネットワーク状態がチェックされ得る。

【0023】接続のために転送されるパケットの数、及び発生する無効パケットの数をカウントするパケット・アカウンティング・ユニットが適用される場合、接続のために転送されるパケット及び可能な無効パケットの総数が認識され、別の処理が適応化され得る利点がある。

【0024】パケット・ピーク・レート及び媒体レートを制御するパケット・ポリシ・ユニットが適用される場合、パケット・ピーク・レートが接続に与えられる許可に従うか否かをチェックし、無効なまたは不要なパケットを除去することにより、実行可能な高いパケット・スループットが達成される利点がある。

【0025】各パケットに交換機特定のヘッダを追加する交換機ルーティング・ヘッダ挿入ユニットが適用される場合、続く交換機がそれぞれのパケットをどこに転送すべきかを認識できる利点がある。

【0026】本発明は更に、パケット・データ及びパケット情報を含む受信可変長パケットを幾つかの並列で同一の処理経路に供給することにより、パケットを経路に分配するパケット処理方法について述べる。各経路は少なくとも1つの処理ユニットを含み、これは任意の瞬間に、1つのパケットだけのために、そのパケット情報を処理できる。長いパケットであるか、後続の第2のパケットよりも低い優先順位のパケットを有する第1のパケットの場合、第2のパケットを別の処理経路に供給するために、第1のパケットの供給が中断される。

【0027】最初に、受信パケットがそれらの優先順位に従い優先キューニー内に整列される。1つの中断パケットの幾つかのパケット部分が、同一の処理経路内で処理され、処理経路の末端において、幾つかのパケット部分が収集されて、再組み立てされる。その後、パケットはマルチプレクサを通じて、好適には1つの出力パケット・ストリームとして出力される。各中断パケットに対して、このパケットが中断されたことを示す情報データが生成される。

【0028】

【発明の実施の形態】本発明は技術的に可能なクロック・サイクル時間により、数10Gb/sのデータ伝送速度を可能にする一方で、リアルタイム・トラフィックのためのサービス品質を保証する。従って、本発明は可変長パケットのオンザフライ式処理のために、幾つかの仮想データ経路を使用する。しかしながら、後述のように、この概念は任意の他の種類のパケット・ベースのデータ・システムにおいて使用され得ることが理解される。従来の順次パケット処理は、高速データ伝送システムには適さないことが判明したので、新たなアプローチが提案される。本発明の基本概念は、好適な実施例と共に、図1乃至図11を参照して説明される。図中、同一

の要素及びユニットは、同一の参照番号で示される。

【0029】図1では、可変長パケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ の典型的なデータ・ストリーム8が示され、各パケットはペイロードとも呼ばれるパケット・データと、パケット情報を提供するヘッダとを含み、後者は黒塗りされて示される。データ処理システムは通常、所定のまたは調整可能なクロックにより動作する。パケット・ストリーム8は時間軸t上に示され、パケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ は順次到来する。可変長パケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ のパケット・ストリーム8は、第1のパケット $\alpha$ 、第2のパケット $\beta$ 、第3のパケット $\gamma$ 、第4のパケット $\delta$ 、及び第5のパケット $\epsilon$ を含む。以下では、可変長パケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ はパケットと呼ばれ、図4に示されるように、並列処理装置40を通じて供給される。パケット及びパケット部分のスナップショットが、図2乃至図9に幾度か示される。

【0030】図2は、入力ユニット60の概略図であり、到来する可変長パケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ はある瞬間 $t_0$ において、異なるキューニー内に存在する。図1に従い、パケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ が、不図示のレセプタにより、入力媒体から受信される。図2は、レセプタから到来する可変長パケット・ストリームを示す矢印"入力"を表す。優先ソータ1とも呼ばれるソータ1が、第1のキューニー5、第2のキューニー6、及び第3のキューニー7に接続される。これらのキューニー5、6、7は並列に構成されて、セレクタ3に導かれ、後者はディストリビュータ4に結合される。セレクタ3及びディストリビュータ4は、一緒に選択ユニット2を形成する。ソータ1は、到来する可変長パケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ をそれらの優先順位に従い、それぞれのキューニー5、6、7に整列する。

ここで、パケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ は、それらの重要度を示す3つの異なる種類の優先順位を有する。第1のパケット $\alpha$ 及び第3のパケット $\gamma$ は、低い優先順位を有し、第2のパケット $\beta$ 及び第4のパケット $\delta$ は、中間の優先順位を有し、第5のパケット $\epsilon$ は高い優先順位を有し、従って、高優先パケット $\epsilon$ とも呼ばれる。高優先パケット $\epsilon$ が到来すると、その処理が即時開始されなければならない。一般に、パケットの優先順位は、パケットの重要度に関して使用可能な任意の種類の情報である。この情報は記憶され、パケットのヘッダと共に配達される。パケットの優先順位はその長さ、起源または寿命に従い決定され、それらはこのパケットの高速処理のための別の基準または例である。前述のように、ソータ1はキューニー5、6、7に接続され、それによりパケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ が整列される。低優先順位を有する第1のパケット $\alpha$ 及び第3のパケット $\gamma$ は、第1のキューニー5内に整列され、従ってこのキューニーは低優先パケット $\alpha$ 、 $\gamma$ のためにサービスする。中間優先順位を有する第2のパケット $\beta$ 及び第4のパケット $\delta$ は、第2のキューニー6内に整列される。第3のキューニー7は、第5のパケット

50

が到来すると、その処理が即時開始されなければならない。一般に、パケットの優先順位は、パケットの重要度に関して使用可能な任意の種類の情報である。この情報は記憶され、パケットのヘッダと共に配達される。パケットの優先順位はその長さ、起源または寿命に従い決定され、それらはこのパケットの高速処理のための別の基準または例である。前述のように、ソータ1はキューニー5、6、7に接続され、それによりパケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ が整列される。低優先順位を有する第1のパケット $\alpha$ 及び第3のパケット $\gamma$ は、第1のキューニー5内に整列され、従ってこのキューニーは低優先パケット $\alpha$ 、 $\gamma$ のためにサービスする。中間優先順位を有する第2のパケット $\beta$ 及び第4のパケット $\delta$ は、第2のキューニー6内に整列される。第3のキューニー7は、第5のパケット

$\epsilon$ などの、高優先順位を有するパケットのためにサービスする。キュー5、6、7は、非リアルタイム・トラフィックのための制限の無いパケット長と同様に、可変長パケット及び固定長パケットのリアルタイム・トラフィックのサポートにあてがわれる。交換アダプタまたは交換アダプタ・カードとも呼ばれるパケット処理装置の機能の1つは、トラフィックを単一のデータ・ストリームに、または異なる優先キュー5、6、7が接続交換機により処理されるとき、多数のデータ・ストリームに終結することである。

【0031】図3は、ある瞬間 $t_1$ における図2に従う入力ユニット60を示す。時間内に受信される第1のパケット $\alpha$ は、第1の先行パケット部分 $\alpha_1$ 及び第1の後続パケット部分 $\alpha_2$ の2つのパケット部分に分割され、第1の先行パケット部分 $\alpha_1$ は、図4に示されるように、続く処理経路10に供給される。第1の後続パケット部分 $\alpha_2$ は第1のキュー5内に留まり、ぎざぎざの線により示される。分割される理由は、第1のパケット $\alpha$ よりも高い優先順位を有する第2のパケット $\beta$ が受信され、高速に処理される必要があるからである。第1のキュー5では、第1の後続パケット部分 $\alpha_2$ の後に、第3のパケット $\gamma$ が続く。第4のパケット $\delta$ が第2のキュー6に到来し、高優先パケットすなわち第5のパケット $\epsilon$ が第3のキュー7に到来し、それらが優先ソータ1により、それぞれキュー5、6、7に整列される。

【0032】図4は、パケット処理装置40の瞬間 $t_1$ における第1のスナップショットを示す。図4において、図2及び図3からの入力ユニット60の一部が、セレクタ3及びディストリビュータ4と共に、パケット処理装置40の入力側に示される。セレクタ3は、優先キュー5、6、7からパケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ を、それらの優先順位及び到来時刻に従い選択する。すなわち、選択は次の順序、すなわち、低優先順位を有する第1のパケット $\alpha$ 、中間優先順位を有し、第1のパケット $\alpha$ を中断する第2のパケット $\beta$ 、低優先順位を有する第3のパケット $\gamma$ 、中間優先順位を有し、第3のパケット $\gamma$ を中断する第4のパケット $\delta$ 、高優先順位を有し、第4のパケット $\delta$ を中断する第5のパケット $\epsilon$ の順である。ディストリビュータ4は、パケットの負荷または処理に従い、選択パケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ を、続く処理経路10、20、30に分配及び配置する。一般に、処理経路10、20、30内の処理ユニット11乃至13、21乃至23、31乃至33が、そのアクションを実行するために必要とするクロック・サイクル数は、パケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ の長さよりもクロック・サイクルの点で大きい。従って、次のパケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ は、処理ユニット11乃至13、21乃至23、31乃至33がまだ前のパケットにより占有されている時に、この特定の処理ユニットに到来する。従って、次のパケットは並列経路内の並列ユニットに、その処理の

ために送信されるべきである。このタスクはディストリビュータ4により管理され、ディストリビュータはパケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ を処理経路10、20、30上に分配する。ディストリビュータ4はデマルチプレクサであり、続く処理経路10、20、30内のパケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ のプロセスの状態に関する情報を提供される。

【0033】選択ユニット2のディストリビュータ4は、第1の処理経路10に接続される。この第1の処理経路10は、第1の前処理ユニット11と、それに続く第1の主処理ユニット12と、後者に接続される第1の後処理ユニット13とを含む。第1の処理ユニット11、12及び13は一列に配列され、第1の処理経路10を提供する。最後の処理ユニット、この場合第1の後処理ユニット13は、第1のコレクタ15を介してマルチプレクサ9に接続され、後者は出力17を提供する。更に、第1のシグナライザ14が、選択ユニット2と第1の処理経路10との間に結合される。この第1のシグナライザ14は、第1のコレクタ15との接続を有する。3つの処理経路10、20、30の構造及び機能は等価である。第2の処理経路20は第2の前処理ユニット21、第2の主処理ユニット22、及び第2の後処理ユニット23を含む。第2のシグナライザ24が編成され、選択ユニット2と第2の処理経路20との間に接続される。第2のコレクタ25は第2の処理経路20をマルチプレクサ9に接続し、第2のシグナライザ24は第2のコレクタ25との接続を有する。第3の処理経路30は第3の前処理ユニット31、第3の主処理ユニット32、及び第3の後処理ユニット33を含む。第3のシグナライザ34が、選択ユニット2と第3の前処理ユニット31との間に配置される。第3のコレクタ35は第3の処理経路30をマルチプレクサ9に接続し、第3のシグナライザ34は第3のコレクタ35との接続を有する。パケット処理装置40の実施例は、3つの並列で同一の処理経路10、20、30と、対応するシグナライザ14、24、34及びコレクタ15、25、35を含む。シグナライザ14、24、34は、各中断パケット $\alpha$ 、 $\gamma$ 、 $\delta$ にそれぞれ対応する情報データを生成する。シグナライザ14、24、34からのこの"中断"情報は、対応する処理経路10、20、30に伝達され、処理経路10、20、30内の各処理ユニット11乃至13、21乃至23、31乃至33、及び対応するコレクタ15、25、35に伝達される。"中断"情報を提供することによる1つの可能性は、ビット幅を1ビット増加することであり、これはフルのまたは非中断パケットに対して"1"にセットされ、中断パケットに対して"0"にセットされる。

【0034】前述のように、ディストリビュータ4は第1の先行パケット部分 $\alpha_1$ を、第1の処理経路10内の第1の前処理ユニット11に分配する。間もなく、第1

のパケット $\alpha$ よりも高い優先順位を有する第2のパケット $\beta$ が受信されたので、第2のパケット $\beta$ を処理するために、第1のパケット $\alpha$ は第1の先行パケット部分 $\alpha_1$ と、第1の後続パケット部分 $\alpha_2$ とに分割され、図6に関連して詳述されるように、リアルタイム・トラフィックを保証する。第1のパケット $\alpha$ は分割されるので、第1の処理経路10に対応する第1のシグナライザ14はその事実を認識し、第1のパケット $\alpha$ が中断されたことを知らせる。すなわち、中断された第1のパケット $\alpha$ に対して、第1の先行パケット部分 $\alpha_1$ と共に情報データが生成され、第1の処理経路10及び第1のコレクタ15に提供されることにより、第1のパケット部分 $\alpha_1$ 、 $\alpha_2$ が収集され、第1のパケット $\alpha$ が再組み立てされる。従って、中断パケットの第1のパケット部分 $\alpha_1$ 、 $\alpha_2$ を収集するために、第1のコレクタ15内のバッファが有用となる。情報データは追加ビットの形式で実現され、これはパケットの情報とは別に提供されるか、追加され得る。パケットが中断されたことを知らせる任意の他のアプローチが代用され得る。

【0035】本発明によれば一般に、入来、受信及び整列される可変長パケット8のパケット・ストリームが、パケット処理装置40の並列処理経路に供給され、そこで可変長パケットのN個のサブストリームまたは仮想処理経路にデマルチブレクスされる。デマルチブレクス操作は、パケット内容を腐敗することなく実行される。数Nはデータ伝送速度またはデータ・スループット、優先順位の数、後続の処理が要するサイクル数、パケットの長さ、及び他のパラメータに依存する。データ・スループットが高いほど、より多くのサブストリームまたは仮想処理経路が必要となる。本実施例では、ディストリビュータ4を有する選択ユニット2が、可変長パケット・ストリーム8を3つのサブストリームに分割する。すなわち、N=3である。これらの3つのサブストリームは、ディストリビュータ4のN個の出力ポートに提供され、N個の同一の並列処理経路10、20、30に供給される。各処理経路10、20、30はここでは、3つの処理ユニット11乃至13、21乃至23、31乃至33を含み、それらの機能の幾つかの例が、図11に関連して述べられる。並列処理経路10、20、30による可変長パケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ の処理について、図5乃至図9を参照しながら説明する。サブストリームは処理後、マルチブレクサ9に供給され、これが可変長パケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ の出力ストリーム17を提供する。このマルチブレクサ9は、パケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ のシーケンス、すなわち入力媒体"入力"上の入力順序が再確立されるように、或いはパケットの優先順位に従う $\beta$ 、 $\alpha$ 、 $\epsilon$ 、 $\delta$ 、 $\gamma$ のシーケンス及び処理が達成可能なように、設計される。このことは、優先順位により、一部のパケット $\alpha$ 、 $\gamma$ 、 $\delta$ が他のパケット $\beta$ 、 $\delta$ 、 $\epsilon$ により追い越されることを意味する。但し、同一

の優先キュー5、6、7から到来するパケット $\alpha$ 及び $\gamma$ 、 $\beta$ 及び $\delta$ 、 $\epsilon$ については、それらの順序は維持される。

【0036】図5は、ある瞬間 $t_2$ における図2及び図3に従う入力ユニット60を示し、そこでは3つのパケット $\gamma$ 、 $\delta$ 、 $\epsilon$ がキュー5、6、7内に留まる。第1のパケット $\alpha$ 及び第2のパケット $\beta$ は、図6に示されるように進行する。第3のパケット $\gamma$ 、第4のパケット $\delta$ 及び第5のパケット $\epsilon$ は、対応する優先キュー5、6、7

10 内に整列されており、第3のパケット $\gamma$ は第1のキュー5に記憶され、その処理を待機中である。また、第4のパケット $\delta$ は第2のキュー6に到来し、高優先パケット $\epsilon$ は第3のキュー7に到来する。

【0037】図6は、同一の構造を有する図4のパケット処理装置40の瞬間 $t_2$ における第2のスナップショットを示す。第2のパケット $\beta$ が受信されたので、第2のパケット $\beta$ を処理し、リアルタイム・トラフィックを保証するために、第1のパケット $\alpha$ が第1の先行パケット部分 $\alpha_1$ と第1の後続パケット部分 $\alpha_2$ とに分割され

20 る。

【0038】このことは一般に、第1のパケット $\alpha$ のような長いパケットが処理経路10内で処理される間に、第2のパケット $\beta$ のような、より高い優先順位を有するパケットが他のキュー6、7の1つに到来する場合、供給が中断されて、短いパケット、ここでは第2のパケット $\beta$ を、非占有状態の並列処理経路20、30の1つ、ここでは第2の処理経路20に供給可能にすることを意味する。この後、長い第1のパケット $\alpha$ の供給が、第1の処理経路10上で継続し、これはリアルタイム・トラ

30 フィックに許容される最大パケット長、または長い第1のパケット $\alpha$ の終りに対応する少なくともクロック・サイクル数の間に開始する。更に短い高優先パケットが、長い第1のパケット $\alpha$ の供給の間に到来すると、この供給は $N_m$ クロック・サイクル毎に中断される。ここで $N_m$ は、リアルタイム・トラフィックに許容される最大パケット長の処理に対応するクロック・サイクル数である。この場合の総合的な状況としては、高い優先順位のパケット $\beta$ 、 $\delta$ 、 $\epsilon$ の供給は、 $N-1$ 個の並列仮想処理経路20、30を通じて、低優先順位のパケット $\alpha$ 、 $\gamma$ の供給は、1個の占有処理経路を通じて行われる。このことは一般に、低優先順位のパケット $\alpha$ 、 $\gamma$ 、 $\delta$ を中断する高優先順位のパケット $\beta$ 、 $\delta$ 、 $\epsilon$ は、別の非占有処理経路20、30に供給されることを意味する。この状況において、適正な処理を保証するために予約機構が確立され、これがパケット $\alpha$ のために、低優先パケット $\alpha$ が開始する処理経路10を予約する一方、高優先パケット $\beta$ 、 $\delta$ 、 $\epsilon$ を非占有処理経路20、30上に分配する。

更に、情報が低優先パケット $\alpha$ 、 $\gamma$ に追加され、特定のパケット部分は実際のデータか、または低優先パケット $\alpha$ 、 $\gamma$ の処理の中断により生じた単に空バイトである。

この情報は例えば、実際のデータに対して例えば値"1"を有し、中断の間は値"0"を有する追加データ・ビットとして追加される。この技法では、各並列処理経路10、20、30はビット幅を1ビット増加させることになる。

【0039】第1のシグナライザ14は第1のパケット $\alpha$ の中断を認識し、これを信号で知らせる。それにより中断された第1のパケット $\alpha$ に関して、第1の先行パケット部分 $\alpha_1$ に対して情報データが生成され、それが第1の処理経路10、並びに第1の処理経路10の末端において、第1のコレクタ15に提供される。また、中断パケットの信号化及び認識のための他のアプローチも適用され得る。

【0040】第1の先行パケット部分 $\alpha_1$ が第1の前処理ユニット11内で処理中に、第2のパケット $\beta$ は第2の前処理ユニット21内で処理され、第1の先行パケット部分 $\alpha_1$ に続き、第1の後続パケット部分 $\alpha_2$ が同一の経路、すなわち第1の処理経路10に入力する。

【0041】図7は、瞬間 $t_3$ における図2、図3及び図5に従う入力ユニット60を示す。第3のパケット $\gamma$ 、第4のパケット $\delta$ 及び第5のパケット $\varepsilon$ が、それらの対応する優先順位キュー5、6、7に従い整列される。第4のパケット $\delta$ は第2のキュー6に受信され、その処理を待機中である。そのために、第3のパケット $\gamma$ は中断されて、第3の先行パケット部分 $\gamma_1$ と第3の後続パケット部分 $\gamma_2$ とに分割され、第3の後続パケット部分 $\gamma_2$ は第1のキュー5内で、その処理を待機する。その間、高優先順位の第5のパケット $\varepsilon$ が第3のキュー7に到来する。

【0042】図8は、図4及び図6に従うパケット処理装置40の、瞬間 $t_3$ における第3のスナップショットを示す。第1の先行パケット部分 $\alpha_1$ は第1の主処理ユニット12内で処理されており、第2のパケット $\beta$ は第2の前処理ユニット21内で処理されている。しかし間もなく、図7に示されるように、第4のパケット $\delta$ が受信される。従って、第3のパケット $\gamma$ は第3の先行パケット部分 $\gamma_1$ と、第3の後続パケット部分 $\gamma_2$ とに分割され、第3の後続パケット部分 $\gamma_2$ は図7に示されるように、第1のキュー5内に留まり、第3の先行パケット部分 $\gamma_1$ は、第1の前処理ユニット11内で処理される。第1の前処理ユニット11内では更に、第1の後続パケット部分 $\alpha_2$ が処理される。これが可能な訳は、1つの処理可能な、換言すると修正可能なパケット部分、すなわちここでは第3の先行パケット部分 $\gamma_1$ が、同一の第1の前処理ユニット11内に存在し得るからである。第1の後続パケット部分 $\alpha_2$ はヘッダの無いペイロードを含み、これは修正されること無く、シフトだけされて処理され、従って第1の前処理ユニット11は、第3の先行パケット部分 $\gamma_1$ のヘッダなどの、別のパケット・ヘッダを処理することができる。単に、パケットのヘッ

ダ、またはIPパケットの末端部分のフレーム・チェックサム(FCS)だけが処理される。IPパケットの末端のフレーム・チェックサムだけが、チェックサム・ユニット内で処理される。このことは特に、IPパケットの末端のフレーム・チェックサムが、チェックサム・ユニット内で処理されている場合、通常ヘッダで始まる他のまたは続くパケットは、処理の間にこのチェックサム・ユニット内に存在し得ないことを意味する。第4のパケット $\delta$ が受信されるので、第3のパケット $\gamma$ は中断され、第1のシグナライザ14はそのことを信号で知らせ、情報データを生成して第1の処理経路10に提供する。従って情報データは、第1の処理ユニット11、12、13、及び第1の処理経路10の末端の第1のコレクタ15に提供される。

【0043】図9は、図4、図6及び図8に従うパケット処理装置40の、瞬間 $t_4$ におけるスナップショットを示す。可変長パケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\varepsilon$ がパケット処理装置40内に存在し、各処理経路10、20、30が使用されている。第1の先行パケット部分 $\alpha_1$ は第1のコレクタ15に達している。第1のコレクタ15はバッファを含み、パケット部分 $\alpha_1$ 、 $\alpha_2$ 、 $\gamma_1$ 、 $\gamma_2$ を収集する。第1のコレクタ15は第1の後続パケット部分 $\alpha_2$ を待機し、第1のパケット部分 $\alpha_1$ 、 $\alpha_2$ を再度第1のパケット $\alpha$ に再組み立てし、それをマルチプレクサ9に送信する。マルチプレクサ9は後述のように、パケットを多重化する。第1の後続パケット部分 $\alpha_2$ は第3の先行パケット部分 $\gamma_1$ と共に、第1の後処理ユニット13内に存在する。第3の先行パケット部分 $\gamma_1$ は、第1の主処理ユニット12内にも延び、第3の後続パケット部分 $\gamma_2$ がそれに続き、第1の前処理ユニット11の先頭に存在する。第2の処理経路20では、第2のパケット $\beta$ が第2の後処理ユニット23内で処理されており、第2の主処理ユニット22内の第4の先行パケット部分 $\delta_1$ 、及び第2の前処理ユニット21内の第4の後続パケット部分 $\delta_2$ がそれに続く。第4のパケット $\delta$ の分割により、第2のシグナライザ24は、第2の処理経路20のために情報データを生成済みであり、このことは生成された情報データが、第2の処理経路20内の第2の処理ユニット21、22、23及び第2のコレクタ25に提供されることを意味する。高優先パケット $\varepsilon$ は、第3の処理経路30内の第3の前処理ユニット31内で処理されている。

【0044】N個の処理経路10、20、30の末端のコレクタ15、25、35の後で、パケット $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\varepsilon$ は、1つの出力ストリーム17に多重化される。交換機ルーティング・ヘッダとも呼ばれる追加のヘッダが、これらのパケット部分 $\alpha_1$ 、 $\alpha_2$ ； $\gamma_1$ 、 $\gamma_2$ ； $\delta_1$ 、 $\delta_2$ に属する場合、パケット部分 $\alpha_1$ 、 $\alpha_2$ ； $\gamma_1$ 、 $\gamma_2$ ； $\delta_1$ 、 $\delta_2$ の収集及び再組み立て無しに、中断されたりまたは長いパケット $\alpha$ 、 $\gamma$ 、 $\delta$ を多重化することも可

能である。この時、交換機ルーティング・ヘッダは、全ての切断されたパケット部分  $\alpha_1$ 、 $\alpha_2$ ； $\gamma_1$ 、 $\gamma_2$ ； $\delta_1$ 、 $\delta_2$  に追加される。これが可能な訳は、長いパケット  $\alpha$ 、 $\gamma$ 、 $\delta$  のために処理経路 10、20 が予約され、ヘッダ情報が長いパケット  $\alpha$ 、 $\gamma$ 、 $\delta$  の最初の部分から計算されるからである。この場合、マルチプレクサ 9 の前のコレクタ 15、25、35 は必要でない。このヘッダを单一のパケットに追加するための対応するユニットが、"中断"情報が"0"から"1"に変化する都度、全ての続くパケット部分に対してこの処理を繰り返す。しかしながら、これは交換機ルーティング・ヘッダとパケットとの間に、更に別の情報の追加を要求し得る。この"中断"情報は、交換機自身によっては読み出されず、交換機の他の末端にある交換機アダプタにより読み出される。この交換機アダプタがパケットを再組み立てし、それを物理回線に送信する。別の可能性は、こうした中断パケットを再度多重化し、交換機のために予約されたキューに配置することである。交換機アダプタは交換機に対して、各々が特定の優先順位に対応する幾つかの入力キューを提供できる。

【0045】本発明の更に別の実施例が、図10に示される。セレクタ 73 及びディストリビュータ 74 を有する選択ユニット 70、及びそれに続く 2 つの並列処理経路、すなわち第 1 の処理経路 68 及び第 2 の処理経路 69 を含む、並列処理パケット装置 80 が提供される。選択ユニット 70 は、処理経路 68 内の第 1 の前処理ユニット 61、及び処理経路 69 内の第 2 の前処理ユニット 62 に接続され、これらの後に結合処理ユニット 65 が続く。このことは、前処理ユニット 61、62 の 2 つの出力が、結合処理ユニット 65 の 1 つの入力に接続されることを意味する。サイクルに厳格でない結合処理ユニット 65 の出力側は、デマルチプレクサ 66 に接続され、後者はパケットを第 1 の後処理ユニット 63 または第 2 の後処理ユニット 64 に供給する。1 つの結合処理ユニット 65 が両方の処理経路 68、69 により使用され、必要なチップ面積が大幅に低減される。一般に、処理ユニットは全ての処理経路により、または幾つかの並列な処理経路により共用される。サイクルに厳格でないユニットが、この目的には最適である。図10では、第 1 のキュー 71 及び第 2 のキュー 72 が、選択ユニット 70 の入力側に接続され、選択されたパケットが前述の実施例に従い到来する。第 1 の処理経路 68 の末端には、第 1 のコレクタ 75 が配置され、第 2 のコレクタ 78 が配置される。第 1 のコレクタ 75 及び第 2 のコレクタ 78 は、マルチプレクサ 79 に接続され、マルチプレクサは処理パケットを 1 つの出力ストリーム 18 に多重化する。この実施例では、サイクルに厳格でない結合処理ユニット 65 が、2 つの並列処理経路 68 及び 69 により共用される。すなわち、第 1 の前処理ユニット 61 及び第 2 の前処理ユニ

ット 62 の出力側の全てのパケットが、サイクルに厳格でない 1 つの同一の結合処理ユニット 65 に供給され、処理される。これが可能な訳は、異なる処理経路 68、69 からのパケットが同時にではなく、互い違いに到来するからである。幾つかの並列処理経路 68、69 により使用され得る結合処理ユニット 65 の識別は、チップ設計者により達成されるか、ハイレベルの合成またはゲート・レベルの合成において、合成最適化ステップにより、自動的に実行され得る。

【0046】パケット処理システムの帯域幅の一部は、特定のアプリケーションに専用され得る。これはパケット・ベースのシステムの有利な特徴であり、時間に厳格なまたはリアルタイム情報の伝送用のネットワークで使用される。しかしながら、こうした時間に厳格なサービスがネットワーク上でサポートされる場合、全てのアダプタ及び交換機などは、この種のサービスをサポートする必要がある。すなわち、アプリケーションに割当られるスロットは、変更されずに維持されることが保証される。これは本発明に従う並列処理装置により保証される。

【0047】図11は、本発明に従うパケット交換アダプタ 54（アダプタ・カードとも呼ばれる）を含む、パケット処理交換ユニットの概略図である。図11では、本発明の実施例は、可変長パケット・データ伝送チャネルをベンダ特定のパケット交換ファブリック 50（ここでは交換機 50 と呼ぶ）に結合するための、可変長パケット交換アダプタ 54 の一部として使用されるように設計される。こうした可変長パケット交換アダプタ 54 は、可変長パケットの入力ストリームを、交換機 50 を介して経路指定するのに適したパケットのストリーム 19 に変換するために使用され、ここで交換機 50 は、特別に用意されたパケットを要求する。これらの特別に用意されたパケットの構造及び内容は、使用される交換機の種類に従い、ベンダごとに異なる。図示のように、こうした可変長パケット交換アダプタ 54 は、遅延ユニットはもちろん、多くのユニットを含み、ユニットのあるものは前述の並列パケット処理装置 48 の一部である。可変長パケット交換アダプタ 54 では、それほど高速でないユニットが並列に実行される。しかしながら、他のユニットのあるものは、1 度だけ必要とされる。特に、パケットの処理のために、2 スロット期間以上を必要とする処理ユニットが、並列処理を可能にするために幾度か提供され、ディストリビュータとマルチプレクサの間に配列される。幾つかのプロセス・ステップが互い違いに並列に実行される事が、図11において、図4の機能要素を含む並列パケット処理装置 48 により示される。可変長パケット交換アダプタ 54 により処理された後、出力パケット・ストリームが交換機 50 を介して経路指定され、その出力側には、別の可変長パケット交換アダプタ 90（アダプタ・カード 90 とも呼ばれる）が

ユニークのものは、1 度だけ必要とされる。特に、パケットの処理のために、2 スロット期間以上を必要とする処理ユニットが、並列処理を可能にするために幾度か提供され、ディストリビュータとマルチプレクサの間に配列される。幾つかのプロセス・ステップが互い違いに並列に実行される事が、図11において、図4の機能要素を含む並列パケット処理装置 48 により示される。可変長パケット交換アダプタ 54 により処理された後、出力パケット・ストリームが交換機 50 を介して経路指定され、その出力側には、別の可変長パケット交換アダプタ 90（アダプタ・カード 90 とも呼ばれる）が

配置され得る。この可変長パケット交換アダプタ・カード90は、パケットのストリームを可変長パケット・ストリームに変換するために使用され得る。

【0048】図11に示されるように、可変長パケット交換機50及び更に交換機50の反対側に至るデータ経路内でのパケット処理ユニットの配列は、高度に順次的であり、パケットが交換機50に転送される1つの分岐点を含む。従って、これはオンザフライ式パケット処理に理想的に適している。標準的な構成が図11に示される。最初のユニットは、可変長パケットを受信するリセプタ51であり、回線インターフェース・ハンドラ51とも呼ばれ、幾つかの先入れ先出し(FIFO)ユニットからの可変長パケットの受信を調停する。次に入力ユニット52が続き、ここでは前述のように、入来パケットがソータにより、それらの優先順位に従い優先キューに整列され、続く処理経路のために、セレクタ及びディストリビュータによりそれぞれ選択され、分配される。簡略化のために図示されないシグナライザが、前述のように情報データを生成し、パケットが中断されたことを知らせる。次のユニットは接続ラベル・ルックアップ・ユニット41であり、これはパケットのフィールドを所定のルックアップ・テーブルのフィールドと比較する。これらのフィールドはアドレスまたは特殊な値を含み得る。合致が発生すると、ルックアップ・テーブルからの対応する内容が、1ビット乃至複数ビットの形式でパケットに追加され、別のユニットに対して、この特定のパケットに対して何を成すべきかを伝える。接続される列内の更に別のユニットは、ヘッダ・エラー訂正ユニット42であり、これはビット・エラーのためにパケット・ヘッダを分析し、発生エラーを訂正するか、訂正不能なエラーを有するパケットを除去するためにマークする。オペレーション、管理及び保守用パケット処理ユニット(以下OAMと略す)43は、パケット・ストリームに追加のパケットまたはパケット部分を挿入、またはストリームから抽出し、リンク状態またはネットワーク状態をチェックする。こうしたOAMユニットは、ATMセルのための交換機内で使用されるが、一般にパケット処理にとって有用である。交換機ルーティング・ヘッダ挿入ユニット44は、可変長パケットに交換機特定のヘッダを追加し、これは交換機にパケットが転送される出力ポートを伝える。パケット交換アダプタ54内の第1のパケット・アカウンティング・ユニット45、及び交換機50の背後の交換アダプタ・カード90内の第2のパケット・アカウンティング・ユニット92は、接続のために転送されるパケットの数や、可能な無効パケットの数などをカウントする。ユーザ・ネットワーク・インターフェース(UNIと略す)におけるパケット・ポリシ・ユニット46は、パケット・ピーク・レート及び媒体レートが、接続に与えられる許可に従うか否かをチェックし、違反パケットを除去し得る。マルチプレクサ及び少

なくとも1つのコレクタを有する多重化ユニット53は、パケットを収集し、再組み立てし、1つの出力ストリーム19に多重化し、これが交換機50に供給される。多重化は交換機50の後でも実行され得る。交換機50の出力側は、交換アダプタ・カード90に接続され、最初にヘッダ更新ユニット91に接続されて、これが交換機ルーティング・ヘッダを除去し、旧値を次のリンクのための対応する値により置換する。第2のパケット・アカウンティング・ユニット92が、ヘッダ更新ユニット91に接続され、接続のために転送されるパケットの数、及び可能な無効パケットの数をカウントする。

続くトライフィック形成ユニット93は、パケットが再度許可に従うまで、ネットワーク内でパケットを遅延させる。すなわち、トライフィック形成ユニット93は、ユーザーによってではなく、ネットワークにより生じたトライフィック許可の違反を訂正する。入力側同様、回線インターフェース・ハンドラ94が出力側にも設けられ、出力パケット・ストリームの調停、及び別のパケット処理への適応化を実行する。これらの全てのユニットは、その動作のために特定のクロック・サイクル数を要し、一部のユニットについては、これを間に合って実行するために、複数の並列ユニットを必要とし得る。またユニットのあるものは、更に細分化されたユニットに分割され得る。

【0049】まとめとして、本発明の構成に関して以下の事項を開示する。

【0050】(1) パケット・データ及びパケット情報を含む受信可変長パケット8の入力パケット・ストリームを処理するパケット処理装置40、48、80であって、前記パケット8を複数の並列で同一の処理経路10、20、30；68、69に分配するディストリビュータ4、74を含み、前記処理経路の各々が、前記パケット8を供給され、任意の瞬間に、1つの前記パケット8だけのためにその前記パケット情報を処理可能な、少なくとも1つの処理ユニット11乃至13、21乃至23、31乃至33；41乃至46；61乃至65を含み、前記供給が中断可能であって、複数のパケット部分 $\alpha_1$ 、 $\alpha_2$ ； $\gamma_1$ 、 $\gamma_2$ ； $\delta_1$ 、 $\delta_2$ を生じることにより、異なる前記パケット8を別の前記処理経路10、20、30；68、69に供給する、パケット処理装置。

(2) ある中断パケット $\alpha$ 、 $\gamma$ 、 $\delta$ の前記複数のパケット部分 $\alpha_1$ 、 $\alpha_2$ ； $\gamma_1$ 、 $\gamma_2$ ； $\delta_1$ 、 $\delta_2$ が、同一の前記処理経路10、20、30；68、69内で処理される、前記(1)記載の装置。

(3) 前記複数のパケット部分 $\alpha_1$ 、 $\alpha_2$ ； $\gamma_1$ 、 $\gamma_2$ ； $\delta_1$ 、 $\delta_2$ を収集し、それらを再組み立てするコレクタ15、25、35；75、78を含み、前記コレクタが前記パケット部分のためのバッファを有する、前記(1)または前記(2)記載の装置。

(4) 各中断パケット $\alpha$ 、 $\gamma$ 、 $\delta$ に対して、当該パケッ

ト $\alpha$ 、 $\gamma$ 、 $\delta$ が中断されたことを知らせる情報データを生成する、前記(1)乃至前記(3)のいずれかに記載の装置。

(5) 前記処理ユニット11乃至13、21乃至23、31乃至33；41乃至46；61乃至65内の処理が、所定のクロックにより実行され、2つの続いて処理される前記パケット8間の期間が、前記クロックのクロック・サイクル期間の整数倍である、前記(1)乃至前記(4)のいずれかに記載の装置。

(6) 前記受信パケット8をそれらの優先順位に従い、優先キュー5、6、7；71、72内に整列するソータ1を含む、前記(1)乃至前記(5)のいずれかに記載の装置。

(7) 前記優先キュー5、6、7；71、72から前記パケットを選択するセレクタ3、73を含む、前記

(6) 記載の装置。

(8) パケット・データ及びパケット情報を含み、順次入力パケット・ストリームとして受信される可変長パケット8の処理のためのパケット交換アダプタ54であって、前記パケット8を複数の並列で同一の処理経路10、20、30；68、69に分配するディストリビュータ4、74であって、前記処理経路の各々が、前記パケット8を供給され、任意の瞬間に、1つの前記パケット8だけのためにその前記パケット情報を処理可能な、少なくとも1つの処理ユニット11乃至13、21乃至23、31乃至33；41乃至46；61乃至65を含み、前記供給が中断可能であって、複数のパケット部分 $\alpha_1$ 、 $\alpha_2$ ； $\gamma_1$ 、 $\gamma_2$ ； $\delta_1$ 、 $\delta_2$ を生じることにより、異なる前記パケット8を別の前記処理経路10、20、30；68、69に供給する、ディストリビュータと、各中断パケット $\alpha$ 、 $\gamma$ 、 $\delta$ に対して、当該パケットが中断されたことを知らせる情報データを生成することにより、前記パケット8が複数のパケット部分 $\alpha_1$ 、 $\alpha_2$ ； $\gamma_1$ 、 $\gamma_2$ ； $\delta_1$ 、 $\delta_2$ に中断されたことを知らせるシグナライザ14、24、34；76、77と、各処理経路10、20、30；68、69に対して、前記複数のパケット部分 $\alpha_1$ 、 $\alpha_2$ ； $\gamma_1$ 、 $\gamma_2$ ； $\delta_1$ 、 $\delta_2$ を収集し、それらを再組み立てるコレクタ15、25、35；75、78とを含む、パケット交換アダプタ。

(9) 前記パケット8のフィールドを、予め定義されたルックアップ・テーブルのフィールドと比較するために使用される、接続ラベル・ルックアップ・ユニット41を含み、これらが合致する場合、前記ルックアップ・テーブルから対応する内容が前記パケット8に追加され、別のユニットに前記パケットをどのように処理すべきかを知らせる、前記(8)記載のアダプタ。

(10) 1乃至複数ビット・エラーのために前記パケット8のパケット・ヘッダを分析し、前記エラーを訂正する、ヘッダ・エラー訂正ユニット42を含む、前記

(8) 乃至前記(9)のいずれかに記載のアダプタ。

(11) 前記パケット8のストリームから少なくとも1つの追加パケットを抽出、または挿入する、オペレーション、管理及び保守用のパケット処理ユニット43を含む、前記(8)乃至前記(10)のいずれかに記載のアダプタ。

(12) 接続のために転送される前記パケット8の数、及び発生する無効パケットの数をカウントするパケット・アカウンティング・ユニット45を含む、前記(8)乃至前記(11)のいずれかに記載のアダプタ。

10 (13) パケット・ピーク・レート及び媒体レートを制御するパケット・ポリシ・ユニット46を含む、前記

(8) 乃至前記(12)のいずれかに記載のアダプタ。

(14) 各パケット8に対して、交換機50にそれぞれの前記パケット8をどこに転送すべきかを伝える交換機特定のヘッダを追加する、交換機ルーティング・ヘッダ挿入ユニット44を含む、前記(8)乃至前記(13)のいずれかに記載のアダプタ。

(15) 前記(14)記載のパケット交換アダプタ54及び前記交換機50を含む、パケット交換ユニット。

20 (16) 前記交換機50の出力ポートに配置されるパケット交換ユニットであって、前記交換機特定のヘッダを除去または置換するヘッダ更新ユニット91と、接続のために転送される前記パケット8の数、及び発生する無効パケット8の数をカウントするパケット・アカウンティング・ユニット92と、トラフィック許可の偏差を訂正するトラフィック形成ユニット93と、別のパケット処理のために、前記パケット8を調停する回線インターフェース・ハンドラ94とを含む、パケット交換ユニット。

30 (17) パケット・データ及びパケット情報を含む受信可変長パケット8を、複数の並列で同一の処理経路10、20、30；68、69に分配するパケット処理方法であって、前記処理経路の各々が、任意の瞬間に、1つの前記パケット8だけのためにその前記パケット情報を処理可能な、少なくとも1つの処理ユニット11乃至13、21乃至23、31乃至33；41乃至46；61乃至65；91乃至93を含み、第1の前記パケット $\alpha$ が続く第2のパケット $\beta$ よりも低い優先順位を有する場合、前記第1のパケット $\alpha$ の供給を中断し、前記第2

40 のパケット $\beta$ を別の前記処理経路10、20、30；68、69に供給する、パケット処理方法。

(18) 前記受信パケット8がそれらの優先順位に従い、優先キュー5、6、7；71、72内に整列される、前記(17)記載の方法。

(19) ある中断パケット $\alpha$ 、 $\gamma$ 、 $\delta$ の複数のパケット部分 $\alpha_1$ 、 $\alpha_2$ ； $\gamma_1$ 、 $\gamma_2$ ； $\delta_1$ 、 $\delta_2$ が、同一の前記処理経路10、20、30；68、69内で処理される、前記(17)または前記(18)記載の方法。

(20) 各中断パケット $\alpha$ 、 $\gamma$ 、 $\delta$ に対して、当該パケット $\alpha$ 、 $\gamma$ 、 $\delta$ が中断されたことを知らせる情報データ

が生成される、前記(17)乃至前記(19)のいずれかに記載の方法。

(21) 前記中断パケット $\alpha$ 、 $\gamma$ 、 $\delta$ の前記パケット部分 $\alpha_1$ 、 $\alpha_2$ ； $\gamma_1$ 、 $\gamma_2$ ； $\delta_1$ 、 $\delta_2$ が収集され、再組み立てされる、前記(17)乃至前記(20)のいずれかに記載の方法。

【図面の簡単な説明】

【図1】可変長パケットのストリームを示す図である。

【図2】可変長パケットをソータ及びディストリビュータを有する異なるキューリーに受信する概略図である。

【図3】第1のパケットが分割され、このパケットの残りがまだキューリー内に存在する、図2に従う概略図である。

【図4】パケットのルーティング及び処理を表すために使用される、3つの並列処理経路を有する並列パケット処理装置の第1の概略スナップショットである。

【図5】3つのパケットが異なるキューリーに留まる、図2及び図3に従う概略図である。

【図6】パケットが2つの異なる経路内に存在する、図4に従う第2の概略スナップショットである。

【図7】別のパケットが分割され、パケット部分がキューリー内に留まる、図2、図3及び図6に従う概略図である。

【図8】パケット及びパケット部分が2つの異なる経路内に存在する、図4及び図8に従う第3の概略スナップショットである。

【図9】パケット及びパケット部分が全ての処理経路内に存在する、図4、図6及び図8に従う第4の概略スナップショットである。

【図10】2つの並列処理経路を有し、1つの処理ユニットが両方の処理経路により使用される並列パケット処理装置を含む、本発明の別の実施例の概略図である。

【図11】本発明に従うアダプタ・カードを含むパケッ

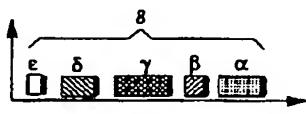
ト処理交換ユニットの概略図である。

【符号の説明】

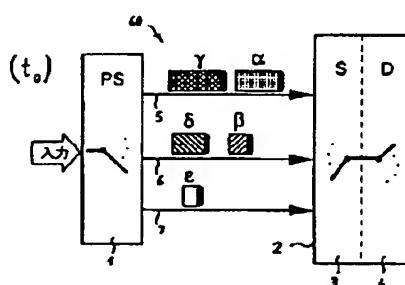
- 1 優先ソータ
- 2、70 選択ユニット
- 3、73 セレクタ
- 4、74 ディストリビュータ
- 5、6、7、71、72 優先キュー
- 8 可変長パケット
- 9、79 マルチプレクサ

- 10 10、20、30、68、69 処理経路
- 11、21、31、61、62 前処理ユニット
- 12、22、32 主処理ユニット
- 13、23、33、63、64 後処理ユニット
- 14、24、34、76、77 シグナライザ
- 15、25、35、75、78 コレクタ
- 40、48、80 パケット処理装置
- 41 接続ラベル・ルックアップ・ユニット
- 42 ヘッダ・エラー訂正ユニット
- 43 オペレーション、管理、保守用パケット処理ユニット
- 20 44 交換機ルーティング・ヘッダ挿入ユニット
- 45、92 パケット・アカウンティング・ユニット
- 46 パケット・ポリシ・ユニット
- 50 パケット交換ファブリック（交換機）
- 51、94 リセプタ（回線インターフェース・ハンドラ）
- 52、60 入力ユニット
- 53 多重化ユニット
- 54、90 パケット交換アダプタ
- 65 結合処理ユニット
- 66 デマルチプレクサ
- 91 ヘッダ更新ユニット
- 93 トライフィック形成ユニット

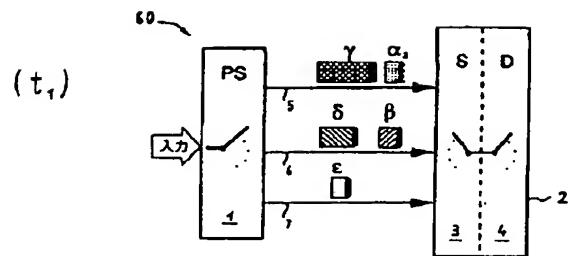
【図1】



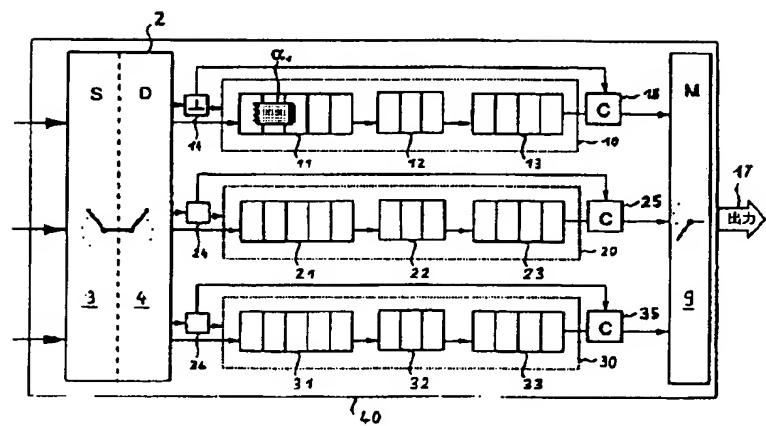
【図2】



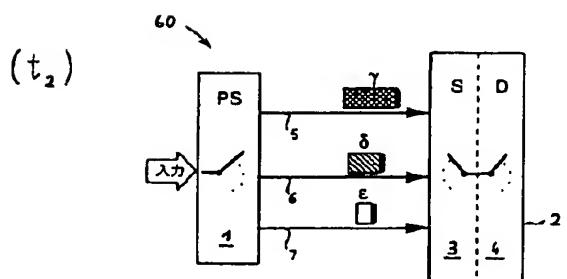
### 【図3】



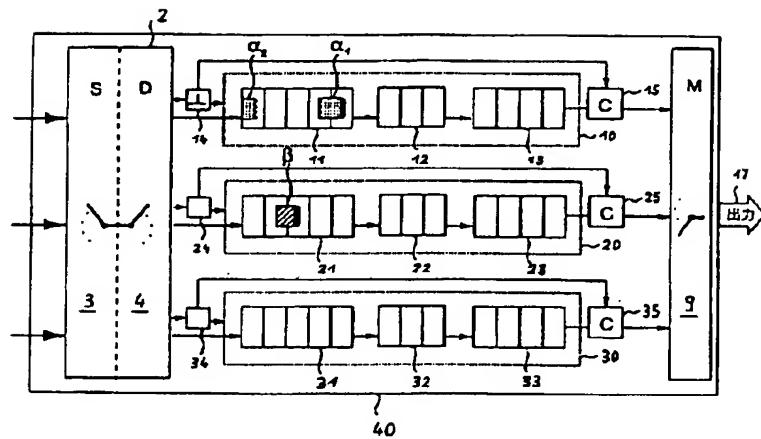
【図4】



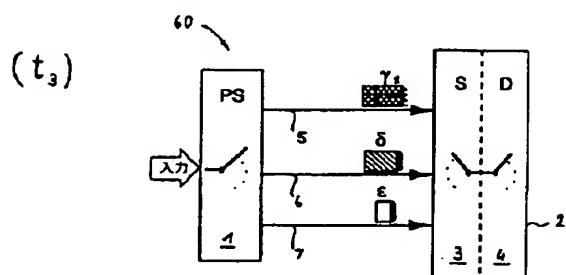
【図5】



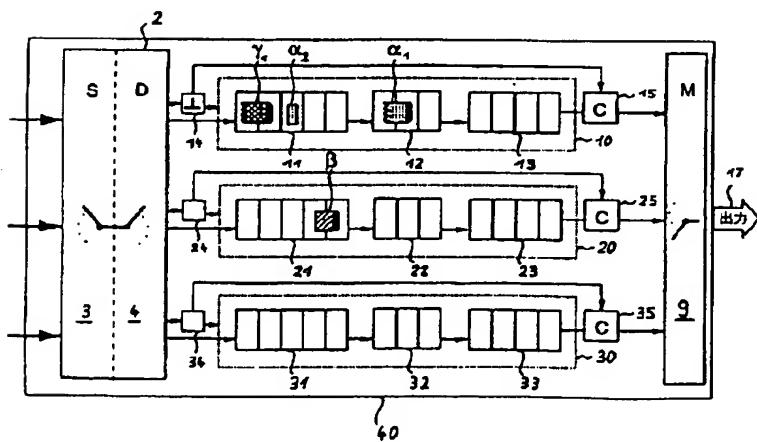
【図6】



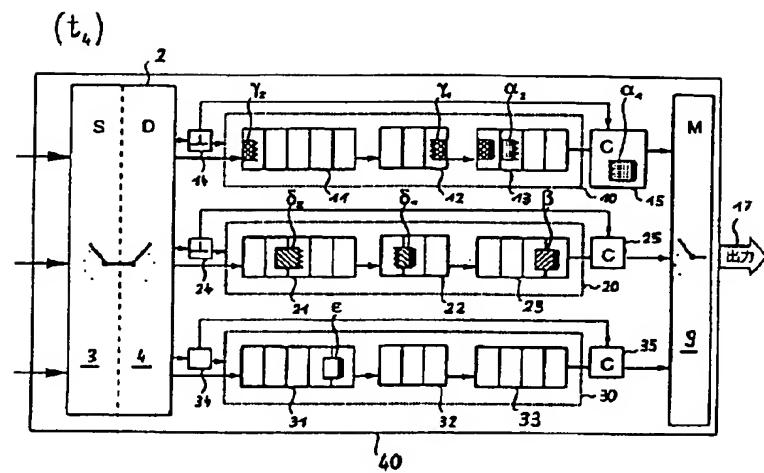
【図7】



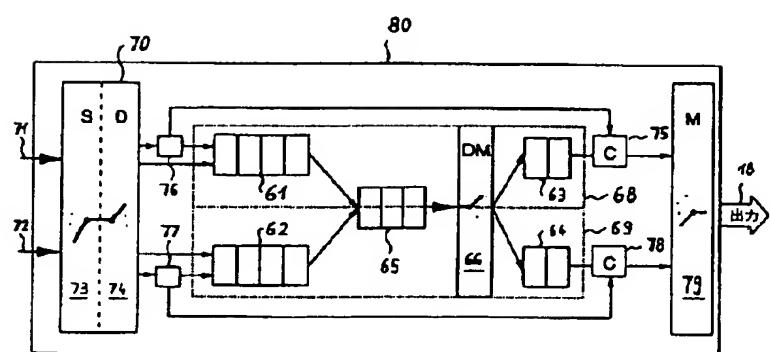
【図8】



【図9】



【図10】



【図11】

